

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-291265

(43)Date of publication of application : 18.10.1994

(51)Int.Cl.

H01L 27/092

H01L 27/12

(21)Application number : 05-029494

(71)Applicant : SEIKO INSTR INC

(22)Date of filing : 18.02.1993

(72)Inventor : TAKAHASHI KUNIHIRO
KOJIMA YOSHIKAZU
TAKASU HIROAKI
KUHARA KENTARO
OSANAI JUN
NAKANISHI AKISHIGE
ISHII KAZUTOSHI

(30)Priority

Priority number : 04 37917

Priority date : 25.02.1992

Priority country : JP

04142884

03.06.1992

05 20409

08.02.1993

JP

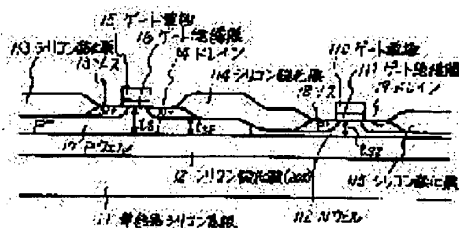
JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

(57)Abstract:

PURPOSE: Not to cause a parasitic channel in a boundary between a P well and an embedded silicon oxide film by a method wherein a thickness of silicon in a region forming N-type MOS transistors is larger than that of silicon in a region forming P-type MOS transistors.

CONSTITUTION: A thickness $tS1$ of silicon in a region forming N-type metals, oxide films, and semiconductor (MOS) transistors is made larger, whereby the bottom of a source 13 and a drain 14 of N-type MOS transistors does not reach an embedded silicon oxide film (BOX) 12 and a parasitic channel is hard to cause in a boundary between a P well and a BOX 12. Also, even when a thickness $tS2$ of silicon in a region forming P-type MOS transistors is smaller and the bottom of a source 18 and a drain 19 comes into contact with the BOX 12, the parasitic channel does not cause. Accordingly, a leak current does not generate in MOS transistors of the both of N-type and P-type. Thus, a power consumption can be reduced.



LEGAL STATUS

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-291265

(43)公開日 平成6年(1994)10月18日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/092

27/12

Z

9170-4M

H 0 1 L 27/ 08

3 2 1 B

審査請求 未請求 請求項の数24 O L (全 17 頁)

(21)出願番号 特願平5-29494

(22)出願日 平成5年(1993)2月18日

(31)優先権主張番号 特願平4-37917

(32)優先日 平4(1992)2月25日

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平4-142884

(32)優先日 平4(1992)6月3日

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平5-20409

(32)優先日 平5(1993)2月8日

(33)優先権主張国 日本(J P)

(71)出願人 000002325

セイコー電子工業株式会社

東京都江東区亀戸6丁目31番1号

(72)発明者 高橋 邦博

東京都江東区亀戸6丁目31番1号 セイコ

ー電子工業株式会社内

(72)発明者 小島 芳和

東京都江東区亀戸6丁目31番1号 セイコ

ー電子工業株式会社内

(72)発明者 鷹巣 博昭

東京都江東区亀戸6丁目31番1号 セイコ

ー電子工業株式会社内

(74)代理人 弁理士 林 敬之助

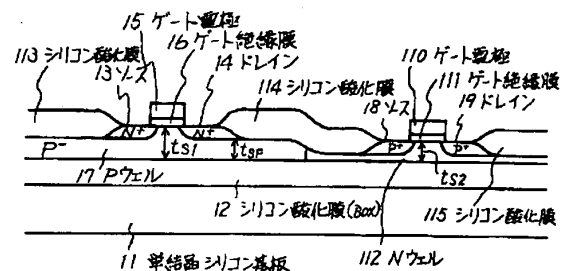
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【目的】 電気絶縁性物質上にある半導体単結晶シリコン内に、少なくとも相補型MOSトランジスタ集積回路が形成されている半導体装置において、低消費電力の集積回路を提供することを目的とする。

【構成】 N型MOSトランジスタが形成されている領域の単結晶シリコンの厚み t_{S1} を、P型MOSトランジスタが形成されている領域の厚み t_{S2} より厚くする。



【特許請求の範囲】

【請求項1】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体トランジスタ集積回路が形成されている半導体装置において、N型MISトランジスタが形成されている領域のシリコンの厚みとP型MISトランジスタが形成されている領域のシリコンの厚みが異なることを特徴とする半導体装置。

【請求項2】 N型MISトランジスタが形成されている領域のシリコンの厚みが、P型MISトランジスタが形成されている領域のシリコンの厚みより厚いことを特徴とする請求項1記載の半導体装置。

【請求項3】 N型MISトランジスタのソース電極又はドレイン電極の底は、電気絶縁性物質から離れていることを特徴とする請求項1記載の半導体装置。

【請求項4】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体トランジスタ集積回路が形成されている半導体集積回路において、N型MISトランジスタとP型MISトランジスタが形成されている部分の前記単結晶シリコンの厚みは同じであり、かつ、少なくともN型MISトランジスタのソースおよびドレインの底は電気絶縁性物質から離れていることを特徴とする半導体装置。

【請求項5】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、少なくともその領域の中にN型MISトランジスタが形成されている薄い濃度のP型不純物の領域をはさむ素子分離用の厚いシリコン酸化膜の底は電気絶縁性物質から離れていることを特徴とする請求項1記載の半導体装置。

【請求項6】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、少なくともその領域の中にN型MISトランジスタが形成されている薄い濃度のP型不純物の領域をはさむ素子分離用の厚いシリコン酸化膜の底は電気絶縁性物質から離れていることを特徴とする請求項4記載の半導体装置。

【請求項7】 N型MISトランジスタが形成されている領域の単結晶シリコン基板に負の電圧を加えて、相補型金属絶縁膜半導体トランジスタ集積回路を動作させることを特徴とする請求項1記載の半導体装置。

【請求項8】 N型MISトランジスタが形成されている領域の単結晶シリコン基板に負の電圧を加えて、相補型金属絶縁膜半導体トランジスタ集積回路を動作させることを特徴とする請求項4記載の半導体装置。請求項4記載の半導体装置。

【請求項9】 電気絶縁性物質の上側に薄い単結晶シリコンを、下側に厚い単結晶シリコンを有する構造を持つ半導体基板において、薄い単結晶シリコン側に少なくとも相補型金属絶縁膜半導体トランジスタ集積回路が形成

されていることを特徴とする請求項1記載の半導体装置。

【請求項10】 電気絶縁性物質の上側に薄い単結晶シリコンを、下側に厚い単結晶シリコンを有する構造を持つ半導体基板において、薄い単結晶シリコン側に少なくとも相補型金属絶縁膜半導体トランジスタ集積回路が形成されていることを特徴とする請求項4記載の半導体装置。

【請求項11】 電気絶縁性物質上に少なくとも相補型金属絶縁膜半導体トランジスタ集積回路が形成されている半導体単結晶シリコン層の厚みは4 μ m以下であることを特徴とする請求項1記載の半導体装置。

【請求項12】 電気絶縁性物質上に少なくとも相補型金属絶縁膜半導体トランジスタ集積回路が形成されている半導体単結晶シリコン層の厚みは4 μ m以下であることを特徴とする請求項4記載の半導体装置。

【請求項13】 電気絶縁性物質の上側に薄い単結晶シリコンを、下側に厚い単結晶シリコンを有する構造を持つ半導体基板は、2枚の単結晶シリコンの一方または両方の表面を熱酸化して、シリコン酸化膜を形成し、シリコン酸化膜を内側にして張り合わせた後、片方の単結晶シリコンを所望の厚みまで薄くした張り合わせ半導体基板であることを特徴とする請求項1記載の半導体装置。

【請求項14】 電気絶縁性物質の上側に薄い単結晶シリコンを、下側に厚い単結晶シリコンを有する構造を持つ半導体基板は、2枚の単結晶シリコンの一方または両方の表面を熱酸化して、シリコン酸化膜を形成し、シリコン酸化膜を内側にして張り合わせた後、片方の単結晶シリコンを所望の厚みまで薄くした張り合わせ半導体基板であることを特徴とする請求項4記載の半導体装置。

【請求項15】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、素子分離用の厚いシリコン酸化膜の底にある単結晶シリコン層の不純物濃度はフィールド酸化膜がはさむ領域の不純物濃度より高いことを特徴とする請求項5記載の半導体装置。

【請求項16】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、素子分離用の厚いシリコン酸化膜の底にある単結晶シリコン層の不純物濃度はフィールド酸化膜がはさむ領域の不純物濃度より高いことを特徴とする請求項6記載の半導体装置。

【請求項17】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、少なくともN型MISトランジスタが形成されている薄い濃度のP型不純物の領域をはさむ素子分離用の厚いシリコン酸化膜の底にある単結晶シリコン層のP型不純物の濃度はフィールド酸化膜がはさむ領域のP型不純物濃度より高いことを特徴とする請求項5記載の半導体装置。

【請求項18】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、少なくともN型MISトランジスタが形成されている薄い濃度のP型不純物の領域をはさむ素子分離用の厚いシリコン酸化膜の底にある単結晶シリコン層のP型不純物の濃度はフィールド酸化膜がはさむ領域のP型不純物濃度より高いことを特徴とする請求項6記載の半導体装置。

【請求項19】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、素子分離領域の単結晶シリコン層の厚みは、素子分離領域がはさむ領域の単結晶シリコン層の厚みより薄いことを特徴とする半導体装置。

【請求項20】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、素子分離領域の単結晶シリコン層の不純物濃度は素子分離領域がはさむ領域の単結晶シリコン層の不純物濃度より高いことを特徴とする請求項19の半導体装置。

【請求項21】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、素子分離領域上にある絶縁膜の上に設けた多結晶シリコン電極や金属電極に電圧を加えることを特徴とする請求項1記載の半導体装置。

【請求項22】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、素子分離領域上にある絶縁膜の上に設けた多結晶シリコン電極や金属電極に電圧を加えることを特徴とする請求項4記載の半導体装置。

【請求項23】 電気絶縁性物質上にある半導体単結晶シリコン内に少なくとも相補型金属絶縁膜半導体集積回路が形成されている半導体装置において、素子分離領域上にある絶縁膜の上に設けた多結晶シリコン電極や金属電極に電圧を加えることを特徴とする請求項21記載の半導体装置。

【請求項24】 電気絶縁物質上の単結晶シリコン層を酸化して、シリコン酸化膜を形成し、前記シリコン酸化膜上にシリコン窒化膜を堆積し、前記シリコン窒化膜上にレジスト膜を塗布し、単結晶シリコン層の内Nウェルが形成される領域上のレジスト膜とシリコン窒化膜を除去し、電気絶縁物質上の単結晶シリコン層全面にN型不純物をイオン注入し、Pウェルを形成する領域の上にあるレジスト膜を除去し、その後、Pウェルを形成するためにイオン注入するP型不純物が貫通しない程度の厚さのシリコン酸化膜をNウェル形成領域の上に形成し、Pウェルを形成する領域上のシリコン窒化膜を除去し、P型不純物をイオン注入し、その後、電気絶縁物質上の単結

晶シリコン層の上にあるシリコン酸化膜を除去し、Pウェル形成領域とNウェル形成領域の単結晶シリコン層の厚みが異なる電気絶縁物質上の単結晶シリコン層からなる半導体装置を製造することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体装置に関するものである。なかんずく絶縁物上の半導体シリコン、即ちSOI (Silicon On Insulator) と呼ばれている半導体装置に関する。以下、簡単のため絶縁物上の半導体シリコンをSOIと呼ぶことにする。

【0002】

【従来の技術】図2は、SOIウエハの断面構造を示す。21は厚い単結晶シリコン基板、22は厚さ数百Å～数μmのシリコン酸化膜SiO₂、23は厚さ数百Å～数μmの薄い単結晶シリコン層である。SOIウエハでは、トランジスタ、抵抗、容量等の電気素子を薄い単結晶シリコン層23に形成する。

【0003】ところで本発明は厚い単結晶シリコン基板21上全面に層として形成された電気絶縁性物質上の半導体単結晶シリコン上に、少なくとも相補型金属・絶縁性半導体トランジスタ集積回路(相補型MISトランジスタ)から形成される半導体装置に関するものである。MISトランジスタは、ゲート絶縁膜にシリコン酸化膜に限らないある種の絶縁膜(例えばシリコン窒化膜単層、シリコン窒化膜とシリコン酸化膜の多層等)が使用された電界効果型トランジスタをいう。本発明の以下の説明においては、MISトランジスタの中で最も一般的な金属・酸化膜・半導体トランジスタ(MOSTランジスタ)を例に挙げて説明していく。説明の中でMOSTランジスタと説明していても、一般的にはMISトランジスタについて述べているものである。

【0004】図3は、SOIウエハに形成された従来の相補型MOS集積回路(以後、CMOSICと略す)の一部の箇所の断面構造を示す。31は単結晶シリコン基板、32は厚さ数百Å～数μmのシリコン酸化膜(以下、BOX (Buried Oxide: 埋め込み酸化膜の略)と略す)、33と34はそれぞれN型MOSTランジスタのソースとドレイン、35は多結晶シリコンから成るゲート電極、36はシリコン酸化膜からなるゲート絶縁膜、37は薄い濃度のP型不純物からなるPウェルを示す。N型MOSTランジスタはソース33、ドレイン34、ゲート電極35、ゲート絶縁膜36、Pウェル37から形成されている。38と39はそれぞれP型MOSTランジスタのソースとドレイン、310は多結晶シリコンからなるゲート電極、311はシリコン酸化膜からなるゲート絶縁膜、312は薄い濃度のN型不純物からなるNウェルを示す。P型MOSTランジスタは、ソース38、ドレイン39、ゲート電極310、ゲート絶縁膜3

11、Nウェル312から形成されている。

【0005】図3において、3箇所を示されている313は素子分離用の厚いシリコン酸化膜 SiO_2 （以後、フィールド酸化膜と呼ぶ）である。図3において、従来のSOIウエハ上に形成されたCMOSICではN型MOSトランジスタのソース33及びドレイン34とP型MOSトランジスタのソース38及びドレイン39の底はBOX32に接していた。

【0006】

【発明が解決しようとする課題】図4は、Pウェル37及びBOX32の深さ方向のPウェルを形成しているP型不純物であるボロンの濃度の、図3に示した直線A-A'上における分布を示している。

【0007】図4から明らかなように、単結晶シリコン層であるPウェル37とBOX32の境界において、ボロンの偏析により、単結晶シリコン層側でボロンの濃度が急激に減少している。このため、Pウェル37のBOX32と接している図3に示す314の領域は、ボロンの濃度が非常に薄く、N型MOSトランジスタの電流通路が形成され易い領域となる。

【0008】このため、図3に示すCMOSICのN型MOSトランジスタは、領域314において寄生チャネルを生じやすく、リーク電流が非常に大きくなってしまふ。一方、図5はNウェル312及びBOX32の深さ方向のNウェルを形成しているN型不純物であるリンの濃度の、図3に示した直線B-B'上における分布を示している。

【0009】図5から明らかなように、単結晶シリコン層であるNウェル312とBOX32の境界において、リンの偏析により、単結晶シリコン層側でリンの濃度が上昇している。このため、Nウェル312のBOX32と接している図3に示す315の領域はリンの濃度が比較的高く、この領域で電流通路は形成されにくい。

【0010】このため図3に示すMOSICのP型MOSトランジスタは、領域315において寄生チャネルを生じにくく、従ってリーク電流も小さく、良好なトランジスタ特性を示す。以上において説明したように、従来のSOIウエハに形成したCMOSICにおいては、N型MOSトランジスタのソース及びドレインの底がBOXに接しているため、N型MOSトランジスタではPウェルとBOXの境界において、寄生チャネルが形成され、リーク電流が大きく、良好なトランジスタ特性が得られない。従って、CMOSICとしての特性も、リーク電流が大きいため、消費電力の少ない優れたCMOSIC特性が得られない欠点を有していた。

【0011】本発明は、SOIウエハに形成したCMOSICにおいて、N型MOSトランジスタのリーク電流を低く抑え、その結果、消費電力の小さいCMOSIC本来の優れた特性を得ることを目的としたものである。又、本発明の半導体装置における電気絶縁物上の単結晶

シリコン層の厚みは、図3に示す従来構造の電気絶縁物上の単結晶シリコン層の厚みより厚い。

【0012】図3に示す構造を持つ従来の半導体装置では、素子分離領域であるフィールド酸化膜313の下には単結晶シリコン層が存在せず、フィールド酸化膜313の両側にある素子間の素子分離は、フィールド酸化膜下に電流通路がないことから完全である。

【0013】一方、本発明の半導体装置では、少なくともN型MOSトランジスタが形成されている領域をさむ素子分離領域であるフィールド酸化膜の下には単結晶シリコン層が残っている。このため、図3に示す構造を持つ従来の半導体装置に比べ素子分離は弱い構造を持つ欠点を有している。

【0014】そこで、本発明の他の目的は、素子分離領域に単結晶シリコン層が残っている場合でも素子分離を強固に行うことである。

【0015】

【課題を解決するための手段】本発明は、SOIウエハの電気絶縁性物質上の薄い単結晶シリコン内にCMOSICを形成する場合、N型MOSトランジスタが形成される領域のシリコンの厚みがP型MOSトランジスタが形成される領域のシリコンの厚みより厚くすることを特徴とする。

【0016】又、本発明は、SOIウエハの電気絶縁性物質上の薄い単結晶シリコン内に相補型金属・絶縁膜、半導体トランジスタ集積回路（相補型MISトランジスタ集積回路）が形成されている場合、N型のMISトランジスタの少なくともソース又はドレインの底は電気絶縁性物質から離れている構造とし、寄生チャネルが形成されないようにした。

【0017】さらに、本発明の半導体装置における素子分離領域の単結晶シリコン層の不純物濃度を素子が形成されている領域の単結晶シリコン層の不純物濃度より高くした。

【0018】

【作用】N型MOSトランジスタが形成される領域のシリコン厚みを厚くすることにより、N型MOSトランジスタのソース及びドレインの底がBOXにつかなくなり、PウェルとBOXの境界で寄生チャネルが発生しにくくすることにある。また、P型MOSトランジスタが形成される領域のシリコン厚みが薄く、ソース及びドレインの底がBOXに接していても、寄生チャネルは発生しないようにする。これにより、N型とP型の両方のMOSトランジスタにリーク電流が発生せず、消費電力の少ないCMOSICを得ることができる。

【0019】又、素子分離領域の単結晶シリコン層内の不純物濃度を高くすることにより、そこに電流通路が形成されにくくなり、確実な素子分離が実現することにある。

【0020】

【実施例】図1は、本発明のSOIウエハ上に形成されたCMOS ICの一部のカ所の構造断面図である。11は単結晶シリコン基板、12は厚さ数百Å～数μmのシリコン酸化膜、13と14はそれぞれN型MOSトランジスタのソースとドレイン、15は多結晶シリコンからなるゲート電極、16はシリコン酸化膜SiO₂からなるゲート絶縁膜、17は薄い濃度のP型不純物からなるPウェルを示す。

【0021】N型MOSトランジスタは、ソース13、ドレイン14、ゲート電極15、ゲート絶縁膜16、Pウェル17から形成されている。18と19はそれぞれP型MOSトランジスタのソースとドレイン、110は多結晶シリコンからなるゲート電極、111はシリコン酸化膜からなるゲート絶縁膜、112は薄い濃度のN型不純物からなるNウェルを示す。P型MOSトランジスタは、ソース18、ドレイン19、ゲート電極110、ゲート絶縁膜111、Nウェル112から形成されている。

【0022】113はPウェル17上に、114はPウェル17とNウェル112の両方の上にまたがって、115はNウェル113上にそれぞれ形成された素子分離用のシリコン酸化膜SiO₂からなるフィールド酸化膜である。図1において、N型MOSトランジスタが形成されている領域の単結晶シリコンの厚み t_{S1} は、P型MOSトランジスタが形成されている領域の単結晶シリコンの厚み t_{S2} より厚い。同時に、N型MOSトランジスタのソース13とドレイン14の底は、BOX12に接していない。このため、図1に示す本発明のN型MOSトランジスタの構造では、図3において説明したようなPウェル37とBOX32の境界314において生じた寄生チャネルは生じない。また、図1においては、P型MOSトランジスタのソース18とドレイン19の底もBOX12とは接していない。

【0023】図6は、本発明の他の実施例であるSOIウエハ上に形成されたCMOS ICの一部の箇所の構造断面図である。図6の本発明の実施例と図1の本発明の実施例の異なる箇所は、図6においてP型MOSトランジスタのソース62とドレイン63の底がシリコン酸化膜（BOX）61に接しているところとフィールド酸化膜64のNウェル側にある底がやはりBOX61に接しているところだけであり、その他のカ所は全く同じ構造になっている。また、65の僅かな領域は、Nウェル即ちN⁻領域になっている。

【0024】P型MOSトランジスタは、ソース電極とドレイン電極の底がBOXに接しようがいが、寄生チャネルは生じないため、図1の本発明の構造でも、また図6の本発明の構造でも、N型MOSトランジスタとP型MOSトランジスタのどちらもがリーク電流が少なく、どちらの構造でも消費電力の少ないCMOS ICを得ることができる。

【0025】図7（a）～（c）、図8（a）～（c）に示す工程順断面図により、N型MOSトランジスタとP型MOSトランジスタが形成される領域の単結晶シリコン層の厚みが異なる本発明の半導体装置を形成する方法を示す。図7（a）において、71は単結晶シリコン基板、72は厚さ数百Åから数μmのシリコン酸化膜、73は同じく厚さ数百Åから数μmの単結晶シリコンを示している。71、72、73によってSOIウエハになっている。74は単結晶シリコン73の表面を酸化して形成した厚さ数百Åのシリコン酸化膜、75は化学気相成長（以下、CVDと略す）により堆積したシリコン窒化膜を示す。76はシリコン窒化膜上に塗布したレジストを示す。

【0026】図7（b）において、露光・現像工程によりNウェルが形成される領域、即ちP型MOSトランジスタが形成される領域の上のレジスト膜を除去し、その後ドライエッチングによりシリコン窒化膜75をエッチングする。その後、Nウェルを形成するためのリンや砒素のN型不純物77をイオン注入する。図7（b）の左半分、即ちPウェルが形成される領域の上には、レジスト76が残っており、Nウェル形成用のN型不純物77は、その領域で単結晶シリコン73の中には入らない。

【0027】図7（c）において、図7（b）において残っていたレジスト76を除去する。また、単結晶シリコン73の内、同図の右半分のNウェルが形成される領域には、図7（b）においてイオン注入されたN型不純物が入っており、Nウェル78が形成されている。

【0028】図8（a）において、同図の右側半分のNウェル領域の単結晶シリコン層73を酸化し、厚み数千Åのシリコン酸化膜79を形成する。図8（b）において、残っているシリコン窒化膜75を除去し、その後、Pウェル形成用のP型不純物710をイオン注入する。この時、既に形成されているNウェル領域78の上には厚いシリコン酸化膜79が存在しているため、イオン注入されたP型不純物710はNウェル領域78には侵入しない。

【0029】図8（c）において、窒素雰囲気中で900℃～1200℃のアニールを行い、その後、シリコン酸化膜74および79を除去すると、深さ方向にほぼ均一な濃度のPウェル711とNウェル78が形成される。しかもPウェルの領域711、即ちN型MOSトランジスタが形成される領域の単結晶シリコン層の厚みは t_{S1} であり、この厚みはNウェルの領域78、即ちP型MOSトランジスタが形成される領域の単結晶シリコン層の厚み t_{S2} より厚く形成される。

【0030】図7（a）～（c）、図8（a）～（c）の工程で示すように、1回の露光、現像工程によってNウェルとPウェルを形成する本発明の製造方法によれば、NウェルとPウェルの2回のイオン注入をそれぞれに対応する露光、現像工程の中で行う、即ちNウェルと

Pウェルの形成を合計2回の露光、現像工程によって行う方法に比べ、マスクによるNウェルとPウェルの合わせずれが格段に少なくなる利点を持つ。

【0031】図9は、本発明の一実施例を示す、SOIウエハ上に形成されたCMOS ICの一部の箇所の構造断面図である。図1と図6に示した本発明の実施例と図9に示す本発明の実施例の異なるところは、図9に示す実施例ではN型MOSトランジスタが形成されている領域の単結晶シリコンの厚みとP型MOSトランジスタが形成されている領域の単結晶シリコンの厚みが等しいことである。91は厚さ500～700 μ mの単結晶シリコン基板、92は厚さ数百Å～数 μ mのシリコン酸化膜、93と94はそれぞれN型MOSトランジスタのソースとドレインで、0.3～0.5 μ mの深さに制御可能であり、95は多結晶シリコンから成るゲート電極、96はシリコン酸化膜SiO₂から成るゲート絶縁膜、97は薄い濃度のP型不純物からなるPウェルを示す。N型MOSトランジスタは、ソース93、ドレイン94、ゲート電極95、ゲート絶縁膜96、Pウェル97から形成されている。

【0032】98と99はそれぞれP型MOSトランジスタのソースとドレイン、910は多結晶シリコンからなるゲート電極、911はシリコン酸化膜から成るゲート絶縁膜、912は薄い濃度のN型不純物からなるNウェルを示す。P型MOSトランジスタは、ソース98、ドレイン99、ゲート電極910、ゲート絶縁膜911、Nウェル912から形成されている。

【0033】913はPウェル97上に、914はPウェル97とNウェル912の両方の上にまたがって、915はNウェル913上にそれぞれ形成された素子分離用のシリコン酸化膜SiO₂からなるフィールド酸化膜である。ところで、本発明においてN型MOSトランジスタが形成されている単結晶シリコンの領域をPウェル、P型MOSトランジスタの形成されている単結晶シリコンの領域をNウェルと述べている。Pウェルはイオン注入などによる薄い濃度のP型不純物からなっているが、もしSOIウエハの薄い側の単結晶シリコンがP型不純物からなり、かつ、イオン注入や拡散によって新たにP型不純物をN型MOSトランジスタが形成される領域に導入しなくとも、そのN型MOSトランジスタが形成されうる領域であればこの領域もPウェルと本発明では呼ぶことにしている。Nウェルに対しても同様である。

【0034】図9において、N型MOSトランジスタのソース93とドレイン94の底は、BOX92に接していない。このため、図9に示す本発明のN型MOSトランジスタの構造では、図3において説明したようなPウェル37とBOX32の境界314において生じた寄生チャネルは生じない。

【0035】又、図9においてはP型MOSトランジ

スタのソース98とドレイン99の底もBOX92とは接していない。同時にフィールド酸化膜913、914、915の底と共にBOX92と接していない。図10にBOX上に形成されたN型MOSトランジスタの平面図を示す。101と102はそれぞれN型MOSトランジスタのソース及びドレイン、103はN型不純物を高濃度に含んだ多結晶シリコンからなるゲートを示している。図10において、ソース101、ドレイン102、ゲート103以外の箇所104は厚い酸化膜からなるフィールド酸化膜を示している。

【0036】図11は、フィールド酸化膜がBOXと接している場合のN型MOSトランジスタの図10の直線C-C'で切った断面図を示している。1101は、SOIウエハの厚み500～700 μ mの単結晶シリコン基板、1102は厚さ数百Å～数 μ m程度のBOX、1103は薄い濃度のP型不純物からなるPウェル、1104はシリコン酸化膜からなるゲート絶縁膜、1105は厚み0.5～1 μ m程度のシリコン酸化膜からなるフィールド酸化膜、1106は高濃度のN型不純物を含む多結晶シリコンからなるゲートを表わしている。ソースとドレインは紙面に垂直方向の前方と後方にあり、電流の方向も紙面に垂直方向にある。

【0037】フィールド酸化膜1105の端部は通常テーパー状に形成され、その箇所1107はバズビークと呼ばれている。フィールド酸化膜1105の形成後、バズビーク1107の下に非常に厚みの薄い単結晶シリコン層1108が形成されている。

【0038】Pウェル1103を形成するP型不純物には、通常ボロンが使われる。単結晶シリコンを酸化した時、シリコン表面近傍に存在していたボロンは、シリコン中に残るよりシリコン酸化膜中に取り込まれやすい。このため、フィールド酸化をした時、バズビーク下の単結晶シリコンの箇所1108のボロンのかなりの量がフィールド酸化膜1105の中に吸収されてしまう。このため、バズビーク下の薄い厚みの単結晶シリコンの箇所1108のボロンの濃度は、ゲート酸化膜1104の直下のPウェルの領域のボロンの濃度より大分薄い。

【0039】通常、絶縁ゲート電界効果型トランジスタの場合、電流の流れる箇所はチャネルと呼ばれ、ゲート絶縁膜直下にある。N型MOSトランジスタの場合、チャネル部のボロン濃度がある程度高いと、チャネルを形成するためのゲート電圧（以下、 V_{TH} と略す）もそれなりに高い。

【0040】しかし、SOIウエハ上に形成されたN型MOSトランジスタにおいて、図11に示すように、フィールド酸化膜1105の底がBOX1102に接触していると、ボロン濃度が非常に薄い箇所1108ができて、その箇所の V_{TH} は低く、かつソース101とドレイン102の底がBOX1102に接している場合には、ボロン濃度の低い箇所1108が新たに電流通路になっ

てしまう。

【0041】図11に示すバースピーク下の箇所1108は、図10において斜線で示す105に対応する。このN型MOSトランジスタの幅方向端部の箇所105に寄生チャネルが生じ、リーク電流を増やしてしまう。図9に示した、本発明の実施例においては、フィールド酸化膜913、914、915の底はBOX92に接していない。図12は、本発明の実施例を示す図9において、N型MOSトランジスタの領域を通る直線D-D'で切った、N型MOSトランジスタの幅方向の断面図を示している。1201はSOIウエハの厚み500~700 μ mの単結晶シリコン基板、1202は厚さ数百Å~数 μ m程度のBOX、1203は薄い濃度のP型不純物からなるPウェル、1204はシリコン酸化膜からなるゲート絶縁膜、1205は厚み0.5~1 μ m程度のシリコン酸化膜からなるフィールド酸化膜、1206は高濃度のN型不純物を含む多結晶シリコンからなるゲートを表わしている。ソースとドレインは紙面に垂直方向の前方と後方にあり、電流の方向も紙面に垂直方向にある。

【0042】1207はバースピークを示す。図12において、フィールド酸化膜1205の底は、BOX1202に接していない。即ち、バースピーク1207の下にある厚みの単結晶シリコン層が残っている。このため、バースピーク直下1208におけるPウェルを形成しているP型不純物であるボロンの濃度は、フィールド酸化膜1205を形成する際の酸化中、バースピーク直下1208の領域よりさらに下側のPウェル内からボロンが供給され、図11におけるフィールド酸化膜の底がBOXに接している場合のバースピーク直下の領域1108のボロン濃度に比べかなり高い。このため、フィールド酸化膜の底がBOXに接していない、図9に示す本発明の半導体装置においては、図10と図11で説明したようなN型MOSトランジスタの幅方向両端部で発生する寄生チャネルは形成されない。

【0043】図13は、図14はそれぞれ本発明の他の実施例を示す、SOIウエハ上に形成されたCMOS ICの一部の箇所の構造断面図である。1301、1401は、厚さ500~700 μ mの単結晶シリコン基板、1302、1402は厚さ数百Å~数 μ mのBOX、1303、1403はN型MOSトランジスタのソース1304、1404はN型MOSトランジスタのドレイン、1305、1405は多結晶シリコンからなるゲート電極、1306、1406はシリコン酸化膜からなるゲート絶縁膜、1307、1407は薄い濃度のP型不純物からなるPウェルを示す。

【0044】1308、1408はP型MOSトランジスタのソース、1309、1409はP型MOSトランジスタのドレイン、1310、1410は多結晶シリコンからなるゲート電極、1311、1411はシリコン

酸化膜からなるゲート絶縁膜、1312、1412は薄い濃度のN型不純物からなるNウェルを示す。1313、1413はそれぞれ厚み数千Å~1 μ m程度の厚いシリコン酸化膜からなるフィールド酸化膜である。

【0045】これら、図13、図14の本発明の実施例が図9の本発明の実施例と異なるところを以下に説明する。図13において、フィールド酸化膜1313の底とP型MOSトランジスタのソース1308とドレイン1309の底が共にBOX1302に接しているが、N型MOSトランジスタのソース1303及びドレイン1304の底はBOX1302に接していない。N型MOSトランジスタのソース及びドレインの底がBOXに接していない限り、フィールド酸化膜1313の底がBOXに接していても、N型MOSトランジスタの幅方向両端部における寄生チャネルは生じない。P型MOSトランジスタのソース及びドレインの底がBOXに接していても、P型MOSトランジスタでは寄生チャネルが生じず、リーク電流が低く抑えられることは前述したとおりである。

【0046】図14においては、フィールド酸化膜1413の底はBOX1402に接しているが、N型MOSトランジスタのソース1403とドレイン1404の底及びP型MOSトランジスタのソース1408とドレイン1409の底は共にBOX1402に接していない。この場合にも図13の本発明の実施例において説明したと同様に、N型MOSトランジスタとP型MOSトランジスタの両方共に寄生チャネルは生じず、リーク電流は低く抑えられる。

【0047】図15に本発明のCMOS ICが形成されている半導体装置の一動作方法の実施例を示す。1501は半導体単結晶シリコン基板、1502は厚さ数百Å~数 μ mのシリコン酸化膜からなるBOX、1503はN型MOSトランジスタが形成されているPウェル領域、1504はP型MOSトランジスタが形成されるNウェル領域を示している。但し、図15において、P型MOSトランジスタは描いていない。また、3カ所にある1505は素子分離用のフィールド酸化膜、1506、1507、1508、1509はそれぞれN型MOSトランジスタのソース、ドレイン、多結晶シリコンからなるゲート電極、シリコン酸化膜からなるゲート絶縁膜を表している。

【0048】1510はPウェル1503の電位をある値に固定するために設けた高濃度のP型不純物からなる領域を示す。本発明のCMOS ICが形成されている半導体装置の一動作方法は、図15に示すようにN型MOSトランジスタが形成されているPウェル領域に負の電圧を加えることである。

【0049】例えば、図15に示すように、N型MOSトランジスタのソース1506は、アース電位にゲート電極1508とドレイン1507は正の同電位、例えば

5 Vに、Pウェルの電位を負の電位にするため、高濃度のP型不純物の領域1510に負の電位、例えば-3 Vを加える。このときに生じる空乏層の境界を破線1511により示す。高濃度のP型不純物領域1510に負の電位を加えることにより、この領域の電位を0 Vにした場合に比べ、破線1511の境界を持つ空乏層の領域1512は広く、ソース・基板間、ドレイン・基板間、ゲート・基板間の容量は小さくなり、CMOS ICのスピードは速くなる利点を有する。特に図15に示すように、空乏層の底がBOX1502に接触すると、ドレイン・基板間の容量はさらに小さくなり、スピードは速くなる。

【0050】同様に、図16にN型MOSトランジスタとP型MOSトランジスタが形成されている領域の単結晶シリコンの厚みが等しい、本発明の相補型MOSトランジスタ集積回路(CMOS IC)が形成されている半導体装置の一動作方法を示す実施例を示す。図16はCMOS ICのインバータ回路の構造断面図を示している。1601は半導体単結晶シリコン基板、1602は厚み数百Å〜数μmのBOX、1603と1604はそれぞれN型MOSトランジスタのソースとドレイン、1605はシリコン酸化膜からなるゲート絶縁膜、1606は多結晶シリコンからなるゲート電極、1607は薄い濃度のP型不純物から形成されているPウェルを示す。

【0051】又、1608と1609はそれぞれP型MOSトランジスタのソースとドレイン、1610はシリコン酸化膜からなるゲート絶縁膜、1611は多結晶シリコンからなるゲート電極、1612は薄い濃度のN型不純物から形成されているNウェルを示す。

【0052】図16上に5箇所ある1613は数千Å〜1 μmの厚みを持つシリコン酸化膜からなる素子分離用のフィールド酸化膜を示す。Pウェル1607とNウェル1612は中央のフィールド酸化膜の下で接している。1614はPウェルの電位を固定するために、Pウェル内に形成したP型不純物の高濃度層、1615はNウェルの電位を固定するために、Nウェル内に形成したN型不純物の高濃度層である。

【0053】図16において、P型MOSトランジスタのソース1608とNウェル内に形成されたN型不純物の高濃度層1615が電氣的に接続されて、電圧供給手段から例えば電源電圧5 Vが加えられている。また、N型MOSトランジスタのソース1603は接地電位、即ち0 V (GND) に固定されている。N型MOSトランジスタのゲート1606とP型MOSトランジスタのゲート1611は電氣的に接続されて入力端子となる。又、Pウェル内に形成されたP型不純物の高濃度層1614には例えば-3 Vの負の電圧が加えられている。そして、N型MOSトランジスタのドレイン1604とP型MOSトランジスタのドレイン1609が電氣的に接

続されて出力端子となっている。

【0054】いま、例えば入力端子に電圧 V_{in} として0 Vが加えられると、出力端子に電圧 V_{out} として電源電圧 V_{DD} とほぼ等しい5 Vが出てくる。即ち、N型MOSトランジスタのドレイン1604に5 Vがかかってくる。しかもP型不純物の高濃度層1614に-3 Vが加わっており、Pウェル1607の電位は-3 Vに近い値となる。この時、N型MOSトランジスタのソース1603とPウェル1607間には約3 Vの、又、N型MOSトランジスタのドレイン1604とPウェル1607の間には約8 Vの逆方向の電圧が加わり、Pウェル側に大きく空乏層が広がる。

【0055】図16において、2本の破線1616と1617はこの時に広がった空乏層の境界を表わしている。空乏層は、境界1616の右側及び上側と境界1617の左側及び上側に広がっている。図16からも明らかのように、N型MOSトランジスタのドレインにプラスの電圧がかかっている時、空乏層は下側のシリコン酸化膜からなるBOXに達している。この状態ではN型MOSトランジスタのソースとPウェル間及びドレインとPウェル間の接合容量は、空乏層と厚い絶縁体であるBOXが直列に接続した容量となり、非常に小さい値となる。さらにゲート電極とPウェル間の容量もPウェルの空乏層がBOXに接したことにより小さくなる。この結果、SOIウエハに形成された相補型MISトランジスタ集積回路において、N型MOSトランジスタがその中に形成されているPウェルの領域にマイナスの電圧を加えて集積回路を動作させる本発明の動作方法によれば、N型MOSトランジスタのソース及びドレインのシリコン基板(Pウェル)との接合容量及びゲート電極とPウェル間の容量が非常に小さくなり、相補型MISトランジスタ集積回路がSOIウエハでない普通の単結晶シリコンウエハに形成された場合に比べ、その集積回路はより高速な動作速度が得られる利点を有するのである。

【0056】もし、形成された相補型MISトランジスタ集積回路において、複数のPウェル領域がそれぞれ独立して離れて形成されている場合には、それぞれのPウェルの領域にボロン等のP型不純物の高濃度層を設け、そこに負の電位を加えればよい。さらに、Pウェル領域に負の電圧を加えると、Pウェルの電位が負となり、BOXをゲート絶縁膜、下側の厚い単結晶シリコン基板をゲート電極、PウェルとBOXの境界をチャネルと考えるMOSトランジスタは、Pウェルに負の電圧を加えない場合に比べ導通しにくくなる。このトランジスタは寄生チャネルとして働くため、このトランジスタが導通しないことは望ましいことである。

【0057】又、本発明のSOIウエハの構造であると、N型MOSトランジスタのソースとドレインの底とPウェル内に形成されたフィールド酸化膜の底が共にBOXについていないことにより、Pウェル領域のシリコ

ン基板の電位を希望の値に設定することができる。このため、SOIウエハでない通常の単結晶シリコンウエハに相補型MOSトランジスタ集積回路(CMOSIC)を形成する時に使用するマスクをそのまま本発明の構造を持つSOIウエハに適用でき、通常の単結晶シリコン上に形成した場合に比べ、同一の集積回路ながら高速で、かつ後述するラッチアップが非常に起こりにくい、優れた集積回路を作ることができる。

【0058】次に、CMOSICに実際に使われるバイアス条件を考え、BOX1602の上の単結晶シリコンの厚みがいくらの時に、ドレイン1604の下に広がる空乏層がBOX1602に接触するかを考えてみる。まず、電源電圧 V_{DD} を5V、即ちN型MOSトランジスタのドレインに加わる最大電圧を5V、基板バイアスを-3Vとする。次に、Pウェル1607におけるP型不純物濃度をボロンで $5 \times 10^{14} \text{ cm}^{-3}$ とする。通常、これ以下の濃度のP型基板は使用されることは稀である。この時、ドレイン1604の底より約 $4 \mu\text{m}$ だけPウェル側に空乏層は広がる。故に、BOX1602の上の単結晶シリコンの厚みが $4 \mu\text{m}$ 以下であれば、空乏層の底はBOX1602に接し、ドレイン基板間の容量は非常に小さくなり、集積回路のスピードは速くなる。このように、本発明は電気絶縁性基板上の単結晶シリコンの厚みが $4 \mu\text{m}$ 以下であることを特徴とする。

【0059】ところで、Pウェル領域1607のP型不純物濃度が前述した場合の $5 \times 10^{14} \text{ cm}^{-3}$ より高い場合、ドレインの下に広がる空乏層の幅がどれくらいであるかを考えてみる。Pウェル1607のP型不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $5 \times 10^{16} \text{ cm}^{-3}$ の三つの場合について考えてみる。電源電圧、即ちN型MOSトランジスタのドレインに加える最大電圧は5V、基板バイアスが-3Vであると仮定する。この時、Pウェル1607のP型不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $5 \times 10^{16} \text{ cm}^{-3}$ の三つの場合に対し、ドレインの下に広がる空乏層の幅はそれぞれ約 $1.5 \mu\text{m}$ 、 $1.1 \mu\text{m}$ 、 $0.5 \mu\text{m}$ になる。

【0060】次に、電源電圧、即ち、N型MOSトランジスタのドレインに加える最大電圧が5V、基板バイアスが0Vと仮定する。この時、Pウェル1607のP型不純物濃度が $5 \times 10^{15} \text{ cm}^{-3}$ 、 $1 \times 10^{16} \text{ cm}^{-3}$ 、 $5 \times 10^{16} \text{ cm}^{-3}$ の三つの場合に対し、ドレインの下に広がる空乏層の幅は、それぞれ約 $1.2 \mu\text{m}$ 、 $0.9 \mu\text{m}$ 、 $0.4 \mu\text{m}$ である。

【0061】故に、Pウェル1607のP型不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ で、かつドレインの深さが $0.3 \mu\text{m}$ であると仮定した場合、電気絶縁物上の単結晶シリコンの厚みは、基板バイアスが-3Vの時には、 $1.4 \mu\text{m}$ 以下、基板バイアスが0Vの時には、 $1.2 \mu\text{m}$ 以下であることが望ましい。

【0062】又、本発明のSOIウエハの構造である

と、素子分離用のフィールド酸化膜と、シリコン酸化膜からなるBOXの間には単結晶シリコン層は全くないか、あっても数 μm 程度の非常に薄い層に過ぎない。フィールド酸化膜の底がBOXに接している場合には、フィールド酸化膜の下には単結晶シリコン層は存在しないため、そのフィールド酸化膜下にキャリアは全く流れない。又フィールド酸化膜下に高々数 μm 以下の非常に厚みの薄い単結晶シリコン層が残っている場合でも、その単結晶シリコン層の抵抗は非常に高く、電子またはホールのキャリアは流れにくくなっている。このため、CMOSICに特有に起こるラッチアップも、本発明のSOIウエハに形成したCMOSICでは全く起こらないか、非常に起こりにくい。

【0063】我々の実験によれば、素子分離領域の下の単結晶シリコンの最小厚みが $2 \mu\text{m}$ より厚くなると、ラッチアップは起こり得る。しかし、素子分離領域の下の単結晶シリコンの最小厚みが $2 \mu\text{m}$ より薄くなると、ラッチアップは生じない。故に、素子分離領域の下の単結晶シリコンの厚みは $2 \mu\text{m}$ 以下であることが望ましい。

【0064】以上の議論においては、本発明の半導体装置はSOIウエハ上にCMOSICのみが形成されている半導体装置について説明してきたが、本発明は、SOIウエハ上に形成されているICがCMOSICだけに限定されるものではなく、CMOSICと共にバイポーラICなどが一緒に形成されているBiCMOSIC(バイポーラ・CMOSIC)等に対しても適用できるものである。

【0065】ところで、現在半導体単結晶シリコンを使ったSOIウエハの内、主に使われているウエハは2種類ある。1つは単結晶シリコン基板に酸素をある深さにイオン注入し、その後アニールすることにより、図2に示す構造のSOIウエハを形成することができる。このSOIウエハはSIMOX(Separation by Implantation of Oxygen)と呼ばれている。このウエハはSOI層のシリコン厚みのウエハ内バラツキが非常に小さい利点を持っている。しかし、このSIMOXウエハでは、SOIシリコン層の厚みが約 $0.2 \mu\text{m}$ 以下でないと、アニール後にSOI層が良好な単結晶シリコンの性質を持たない。

【0066】又、このSIMOXウエハでは、アニール後、シリコン酸化膜の上にある単結晶シリコン層における転位密度を $500 \text{ ケ}/\text{cm}^2$ 以下にすることは大変難しい。更に、SIMOXウエハにおけるシリコン酸化膜は、熱酸化によって得られるシリコン酸化膜が絶縁物として有する優れた性質をまだ実現できていない。

【0067】SOI層の単結晶シリコンの厚みがこのように薄いと、そのSOI層に形成したN型MOSトランジスタとP型MOSトランジスタの両方のソース及びドレインの底はBOXについてしまい、図1に示すような本発明の構造にすることは難しい。SIMOXウエハを

使用する場合、わざわざ本発明の構造のようにしなくても、図3に示す従来の半導体装置の構造にすれば高速性は得られるのである。

【0068】本発明は、以下に述べる張り合わせウエハにより形成されたSOIウエハを用いることを特徴とする。図17(a)～(d)により、張り合わせウエハの作成方法を示す。図17(a)において、1枚の単結晶シリコン基板1701は一方の面を熱酸化して、シリコン酸化膜1702を形成してある。他の1枚の単結晶シリコン基板1703は熱酸化していない。

【0069】図17(b)において、上記2枚の単結晶シリコン基板をシリコン酸化膜1702を内側に挟んで、1100℃～1200℃の高温酸素雰囲気中において張り合わせる。2枚の単結晶シリコンの周囲は酸化され、厚さ1μm程度のシリコン酸化膜1704が形成される。

【0070】図17(c)において、単結晶シリコン基板1701を所望の厚さまで研磨して、薄い単結晶シリコン層(SOI層)1705を形成する。さらに、図17(d)に示すように単結晶シリコン基板の周辺のシリコン酸化膜1704を除去して、張り合わせSOIウエハができあがる。但し、図17(c)に示すように単結晶シリコン基板の周辺の厚さ1μm程度のシリコン酸化膜をつけたままの状態でも勿論張り合わせSOIウエハとして使用できる。この場合、図17(d)に示すウエハよりウエハのソリが小さい。このため、半導体ICを作る工程、特にフォトリソ工程において、ウエハ内で均一な露光、現像が可能になり、高い歩留りの製品を得るためには都合が良い。

【0071】この張り合わせSOIウエハは、通常素子を形成する薄い単結晶シリコン層1705はウエハ内でシリコン厚みが例えば±0.3μm程度のバラツキを持つ。このウエハではSOIウエハ内にCMOSICを形成した従来の図3に示す構造のICは形成できない。

【0072】即ち、ウエハ内のある箇所では単結晶シリコン層1705が全くないところがあったり、ウエハ内の他の箇所では単結晶シリコン層1705の厚みが厚過ぎてN型MOSトランジスタとP型MOSトランジスタの両方のソース及びドレインの底がBOXにつかなかったりして、ICの歩留りが非常に低くなる。

【0073】本発明の構造の半導体装置に対しては、この張り合わせウエハでは半導体シリコン層1705の厚みをウエハ内の平均値で約1.0μmとした時、ウエハ内では0.7～1.3μmの厚みのバラツキを持つ。しかし、この厚みのバラツキがあっても、本発明の図1、図6、図9、図13及び図14に示す構造の半導体装置を形成することができ、何れの構造であっても、高速かつラッチアップの生じないCMOSICを形成することができる。又、SIMOXウエハは1枚1枚イオン注入装置で長い時間をかけて作られる。それ故に量産性に乏

しく、価格も張り合わせウエハより約4倍も高い。このことから張り合わせウエハは、本発明の半導体装置にとって適切なウエハと言える。

【0074】更に、この張り合わせSOIウエハでは、シリコン酸化膜上に、転位密度が500ヶ/cm²以下の単結晶シリコン層を得ることは非常に簡単である。更にこの張り合わせウエハでの薄い単結晶シリコン層の下にあるシリコン酸化膜は、通常熱酸化によって形成されるため、その絶縁膜としての性質は非常に優れていることは言うまでもない。

【0075】さて、次に本発明の半導体装置における、素子分離の方法について述べる。図18は本発明の半導体装置の素子分離方法に関する一実施例を示す構造断面である。図18の本発明の実施例は、図9の本発明の実施例に似ており、図9に示す各部の名称は、図18においてもそのまま使用できる。

【0076】図18において、913、914、915は素子分離用の厚いシリコン酸化膜から成るフィールド酸化膜を示す。97はその中にN型MOSトランジスタが形成される領域であるPウェルである。Pウェル97のP型不純物、例えばボロンの濃度は薄く、約1×10¹⁶cm⁻³である。

【0077】912はその中にP型MOSトランジスタが形成される領域であるNウェルである。Nウェル912のN型不純物、例えばリンの濃度はPウェル97と同じく、約1×10¹⁶cm⁻³である。181はフィールド酸化膜913及び914の左半分の下にある比較的高い濃度のP型不純物から成る薄い単結晶シリコン層である。181はPウェル97と連続している領域であるが、P型不純物の濃度を例えば約1×10¹⁷cm⁻³程度に高くしてある。又、182はフィールド酸化膜914の右半分及び915の下にある比較的高い濃度のN型不純物から成る薄い単結晶シリコン層である。182はNウェル912と連続している領域であるが、P型不純物の濃度を例えば約1×10¹⁷cm⁻³程度に高くしてある。

【0078】181の高濃度Pウェル領域と182の高濃度Nウェル領域は、素子分離領域の単結晶シリコン層であるが、不純物濃度が高いことにより、その単結晶シリコン層とフィールド酸化膜の境界である単結晶シリコン層表面が電氣的に反転しにくくなり、電流通路になりにくい特性を有する。その結果、フィールド酸化膜914の両側にあるN型MOSトランジスタとP型MOSトランジスタの電氣的分離が完全になり、図18に示す本発明の半導体装置では優れた素子分離構造になっている。

【0079】図19と図20は本発明の半導体装置の素子分離方法に関する他の実施例を示す構造断面である。図19は図11の、又図18は図6の本発明の実施例に似ており、図19と図20における各部の名称は、それ

ぞれ図11及び図6において使用した名称をそのまま使用する。

【0080】図19と図20において、191と204の高濃度Pウェル及び192と206の高濃度Nウェルの働きは、それぞれ図18において説明した高濃度Pウェル及び181と高濃度Nウェル182の働きと同じである。そのため、本発明の実施例である図19と図20の構造を持つ本発明の半導体装置は、図20においてはフィールド酸化膜114の両側、図20においてはフィールド酸化膜64の両側にあるN型MOSトランジスタとP型MOSトランジスタの電流通路が形成されにくくなり、電気的分離が完全になり、優れた素子分離構造を有する構造になっている。

【0081】次に、本発明の半導体装置における素子分離の他の方法について説明する。図21、図22、図23の本発明の実施例は、それぞれ図18、図19、図20に示す本発明の実施例と非常によく似た構造を有する。このため、共通の箇所の名称の説明は省略する。

【0082】図21、図22、図23において、214、224、234は約 $1 \times 10^{16} \text{ cm}^{-3}$ の濃度のP型不純物から成るPウェル、215、225、235は、比較的高濃度の例えば約 $1 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度のP型不純物から成るPウェル、216、226、236は約 $1 \times 10^{16} \text{ cm}^{-3}$ の濃度のN型不純物から成るNウェル、217、227は、比較的高濃度の例えば約 $1 \times 10^{17} \text{ cm}^{-3}$ 程度の濃度のN型不純物から成るNウェルを示す。

【0083】図21、図22、図23に示す本発明の半導体装置と図18、図19、図20に示す本発明の半導体装置の異なる点は、素子分離領域において、後者は厚い酸化膜から成っていたが、前者においては、211、212、213、221、222、223、231、232、233に示すように、例えば数百 $\sim 1000 \text{ \AA}$ 程度の薄い絶縁膜から成っていることである。

【0084】即ち、隣り合うN型MOSトランジスタとP型MOSトランジスタの素子分離領域は、図21においては高い濃度のPウェル領域215と高い濃度のNウェル領域217の領域である。図22においては、素子分離領域は高い濃度のPウェル領域225と高い濃度のNウェル領域227の領域である。又、図23においては、素子分離領域は高い濃度のPウェル領域235の領域である。

【0085】図21においては、N型MOSトランジスタとP型MOSトランジスタが形成されているPウェル214とNウェル216の単結晶シリコン層の厚みは t_{SA} である。図22及び図23においては、N型MOSトランジスタが形成されているPウェル224と234の単結晶シリコン層の厚みが t_{SA} である。

【0086】これに対し、図21においては高濃度のPウェル215、高濃度のNウェル217、図22と図2

3においては、高濃度のPウェル225と235の単結晶シリコン層の厚みが t_{SF} である。 t_{SF} は t_{SA} より小さい。例えば、 t_{SA} の値が $1 \mu\text{m}$ 程度の時、 t_{SF} は $0.1 \sim 0.5 \mu\text{m}$ と非常に小さい。このように、本発明の半導体装置では素子分離領域の単結晶シリコン層の厚みが非常に薄いため、その抵抗が非常に高く隣り合うトランジスタ間に十分な電流は流れない。さらに、本発明の半導体装置では素子分離領域の単結晶シリコン層の不純物濃度が比較的高いことにより、単結晶シリコン表面に反転層が生じにくい構造になっており、このことから、隣り合うトランジスタ間に十分な電流は流れない。

【0087】このように、図18、図19、図20に示す本発明の実施例とは異なり、素子分離領域が厚い酸化膜で形成されていなくても、図21、図22、図23に示す本発明の半導体装置は十分素子分離を実現することが可能である。図24に、さらに本発明の半導体装置の他の実施例を示す。図24の構造は図9に示す本発明の半導体装置の構造によく似ているため共通する箇所の名称の説明は省略する。

【0088】図24において、913、914、915は厚いシリコン酸化膜から成るフィールド酸化膜、241、242、243、244は $1 \times 10^{20} \text{ cm}^{-3}$ 以上のリン等の不純物が含まれている多結晶シリコンを示す。これは、アルミ等の金属であっても良い。厚いシリコン酸化膜から成るフィールド酸化膜913と914の左半分の上にある多結晶シリコン241と242には負の電圧を加えている。又、厚いシリコン酸化膜から成るフィールド酸化膜914の右半分と915の上にある多結晶シリコン243と244に正の電圧を加えている。このように電圧を加えることにより、913と914の左半分のフィールド酸化膜直下には、Pウェルを形成しているP型不純物が蓄積し、914の右半分と915のフィールド酸化膜直下には、Nウェルを形成しているN型不純物が蓄積する。

【0089】このようにすると、Pウェル内に形成されているN型MOSトランジスタのキャリアである電子はフィールド酸化膜913の下や914の左半分の下を進むことはできない。他方、Nウェル内に形成されているP型MOSトランジスタのキャリアであるホールはフィールド酸化膜914の右半分の下や915の下を進むことはできない。このため隣り合うトランジスタ間の電気的分離が確実になる。

【0090】図25は、本発明の半導体装置の他の実施例を示す。図25の構造は図22に示す本発明の半導体装置の構造によく似ているため、共通する箇所の名称の説明は省略する。図25において、251、252、253、254は $1 \times 10^{20} \text{ cm}^{-3}$ 以上のリン等の不純物が含まれている多結晶シリコンを示す。これは、アルミ等の金属であっても良い。薄い絶縁膜221と222の左半分の上にある多結晶シリコン251と252に

は負の電圧を加えている。又、薄い絶縁膜222の右半分と223の上にある多結晶シリコン253と254に正の電圧を加えている。このように電圧を加えることにより、221と224の左半分の絶縁膜直下には、Pウェルを形成しているP型不純物が蓄積し、222の右半分と223の絶縁膜直下には、Nウェルを形成しているN型不純物が蓄積する。

【0091】このようにするとPウェル内に形成されているN型MOSトランジスタのキャリアである電子は絶縁膜221の下や絶縁膜222の左半分の下を進むことはできない。他方、Nウェル内に形成されているP型MOSトランジスタのキャリアであるホールは絶縁膜222の右半分の下や223の下を進むことはできない。このため、たとえ絶縁膜221、222、223が薄くとも、隣り合うトランジスタ間の電気的分離がさらに確実にする。

【0092】ところで本発明は前述したように、N型MOSトランジスタが形成されているPウェルに負の電圧を加えて相補型MOSトランジスタを動作させることを特徴とする。通常、N型MOSトランジスタが形成されているPウェル領域に負の電圧を加えると、ソース・ドレイン間のシリコン表面に形成される電流通路を作るために、必要なゲート電圧(V_{th})は、Pウェル領域をアース電位にとった場合に比べ高くなる。

【0093】ところが、例えば図15に示すフィールド酸化膜1505の下で単結晶シリコンが薄過ぎると、基板端子である高濃度P型不純物領域1510の負の電圧を加えても、N型MOSトランジスタが形成されているゲート絶縁膜1509、ソース1506、ドレイン1507の直下のPウェルには負の電圧が加わらず、 V_{th} はPウェルが0Vの時の V_{th} と大差なく高くならない。実験結果によると、図15におけるフィールド酸化膜1505直下のシリコン厚みが0.1 μm 以上の時、高濃度P型不純物領域1510に負の電圧を加えた時、N型MOSトランジスタのソース1506、ドレイン1507、ゲート絶縁膜1509の下でPウェル領域に負の電圧が加わり、それ以下の厚みの時は、負の電圧が加わらないことが分かった。

【0094】このことから、本発明では、図1に示すシリコン酸化膜113及び114の左半分の下の単結晶シリコンの厚み t_{SF} 、図6に示すフィールド酸化膜64の左半分の下の単結晶シリコンの厚み t_{SF} 、図9に示すフィールド酸化膜913、914、915の下の単結晶シリコンの厚み t_{SF} 、図21に示す薄い絶縁膜211、212、213の下の単結晶シリコンの厚み t_{SF} 、図22に示す絶縁膜221の下及び222の左半分の下の単結晶シリコンの厚み t_{SF} 、図23に示す薄い絶縁膜231の下及び薄い絶縁膜232の左半分の下の単結晶シリコンの厚み t_{SF} が0.1 μm 以上であることを特徴としている。

【0095】以上の利点を持つ本発明の半導体装置は、その産業上の利用の上で非常にすぐれている。

【0096】

【発明の効果】以上詳細に説明したように、本発明の半導体装置は以下の利点を持っている。

(1) SOI基板上に形成されている相補型MISトランジスタ集積回路のうち、N型MISトランジスタの形成されている領域のシリコンの厚みをP型MISトランジスタが形成されている領域のシリコンの厚みよりも厚くし、かつ、N型MISトランジスタのソースあるいはドレイン電極の底が電気絶縁性物質から離れていることにより、N型MISトランジスタの寄生チャネルを生じず、N型MOSトランジスタもP型MISトランジスタもリーク電流が少なく、消費電力の少ない相補型MISトランジスタ集積回路を提供できる。

【0097】(2) SOI基板上に形成されている相補型MISトランジスタ集積回路のうち、N型MISトランジスタの形成されている領域のシリコンの厚みとP型MISトランジスタが形成されている領域のシリコンの厚みを同じにし、かつ、N型MISトランジスタのソースあるいはドレイン電極の底が電気絶縁性物質から離れていることにより、従来からあるCMOSプロセスで容易に、しかも、シリコンと電気絶縁性物質界面において、N型MISトランジスタの寄生チャネルを生じず、N型MISトランジスタもP型MISトランジスタもリーク電流が少なく、従って、消費電力の少ない相補型MIS集積回路を提供できる。

【0098】(3) N型MISトランジスタのソースあるいはドレインが電気絶縁性物質から浮いた構造になっていることにより、Pウェル側に負の電圧を加えることができ、N型MISトランジスタのPウェル内に形成される空乏層が大きく広がるため、寄生容量が少ない。このため、通常の単結晶シリコンウエハ上に形成された相補型MISトランジスタ集積回路に比べ、スピードが速いことは勿論、図3に示す標準的なSOIウエハに形成されたCMOSICと同等のスピードが得られる。

【0099】(4) N型MISトランジスタが形成されている薄い濃度のP型不純物の領域をはさむ素子分離部の厚いシリコン酸化膜の底が電気絶縁性物質から離れているので、素子分離部のパズピーク直下のP型不純物領域のボロン濃度が、電気絶縁性物質の底がBOXに接している場合のパズピーク直下のP型不純物領域のボロン濃度に比べかなり高いことにより、N型MISトランジスタの幅方向両端部に寄生チャネルが生じない。

【0100】(5) SOI基板上に形成されている相補型MISトランジスタ集積回路のうち、N型MISトランジスタの形成されている領域のシリコンの厚みとP型MISトランジスタが形成されている領域のシリコンの厚みが同じ場合、電気絶縁性物質上の単結晶シリコンの厚みは4 μm 以下であるので、素子分離用のフィールド

酸化膜とシリコン酸化膜からなるBOXの間には単結晶シリコン層は全くないか、あっても非常に薄い層であるので、フィールド酸化膜下にはキャリアは全く流れないか、流れてもごくわずかしかな流れないので、ラッチアップが全く起こらないか、あるいは非常に起こりにくくなる。

【0101】(6) SOI基板上に形成されている相補型MISトランジスタ集積回路のうち、N型MISトランジスタの形成されている領域のシリコンの厚みをP型MISトランジスタが形成されている領域のシリコンの厚みより厚くした場合、SOIウエハでなく通常の単結晶シリコンウエハにCMOSICを形成する時に使用するマスクをそのまま本発明の構造を持つSOIウエハに適用でき、また、このときにN型MOSトランジスタの形成されている領域のシリコンの厚みをP型MOSトランジスタが形成されている領域のシリコンの厚みより厚く形成したので、できあがったCMOSICの、N型MOSトランジスタとP型MOSトランジスタを分離する素子分離絶縁層のP型MOSトランジスタ側の部分と電気絶縁性物質間の距離が短くなることにより、通常の単結晶シリコンウエハ上に形成したCMOSICに比べ、ラッチアップを生じにくくすることができる。

【0102】(7) 本発明の半導体装置において、素子分離領域のフィールド酸化膜、あるいは薄い絶縁膜の下に単結晶シリコンの領域(ウェル領域)の不純物濃度を高くし、その領域の単結晶シリコン表面が電流通路になりにくい構造にすることにより、素子分離領域を挟んで隣り合うトランジスタ間の電気的分離を確実に実現することができる。

【0103】(8) 本発明の半導体装置において、素子分離領域のフィールド酸化膜、あるいは薄い絶縁膜の上に設けた多結晶シリコン又はアルミ等の金属に電圧を加えることにより、素子分離領域の単結晶シリコン表面を反転しやすくし、そこが電流通路になりやすくすることにより、素子分離領域を挟んで隣り合うトランジスタ間の電気的分離を確実に実現することができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の断面構造図である。

【図2】SOIウエハの断面構造図である。

【図3】従来のSOIウエハ上に形成した半導体装置の構造断面図である。

【図4】Pウェルを形成しているボロンのSOIウエハ内の濃度分布を示すグラフである。

【図5】Nウェルを形成しているリンのSOIウエハ内の濃度分布を示すグラフである。

【図6】本発明の半導体装置の他の実施例を示す半導体装置の断面構造図である。

【図7】(a)～(c)は本発明の半導体装置の製造工程の一部を示す前半工程順断面図である。

【図8】(a)～(c)は本発明の半導体装置の製造工

程の一部を示す後半工程順断面図である。

【図9】本発明の半導体装置の断面構造図である。

【図10】SOIウエハに形成されたN型MOSトランジスタの平面図である。

【図11】SOIウエハ上に形成されたN型MOSトランジスタの幅方向の断面図である。

【図12】図9に示す本発明の半導体装置の中のN型MOSトランジスタの幅方向の断面図である。

【図13】本発明の半導体装置の他の実施例を示す構造断面図である。

【図14】本発明の半導体装置の他の実施例を示す構造断面図である。

【図15】本発明の半導体装置の動作方法の一実施例を示す構造断面図である。

【図16】本発明の半導体装置の動作方法の他の実施例を示す構造断面図である。

【図17】(a)～(d)は張り合わせSOIウエハの製造方法を示す工程順断面図である。

【図18】本発明の半導体装置の断面構造図である。

【図19】本発明の半導体装置の他の断面構造図である。

【図20】本発明の半導体装置の他の断面構造図である。

【図21】本発明の半導体装置の他の断面構造図である。

【図22】本発明の半導体装置の他の断面構造図である。

【図23】本発明の半導体装置の他の断面構造図である。

【図24】本発明の半導体装置の素子分離領域を加える電圧条件を示す断面構造図である。

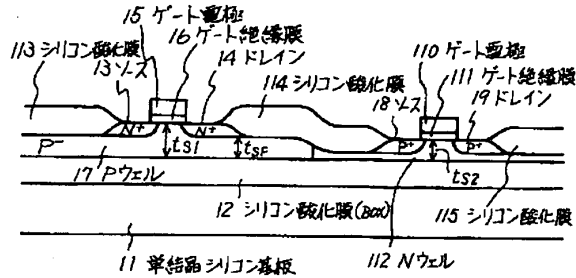
【図25】本発明の半導体装置の素子分離領域を加える電圧条件を示す断面構造図である。

【符号の説明】

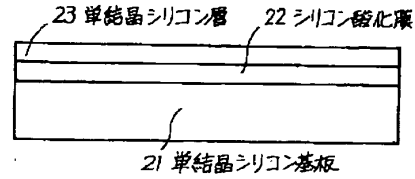
11、91、1301、1401	単結晶シリコン基板
12、92、1302、1402	シリコン酸化膜BOX
13、93、1303、1403	N型MOSトランジスタのソース
14、94、1304、1404	N型MOSトランジスタのドレイン
15、110、95、910	ゲート絶縁膜
16、111、96、911	ゲート絶縁膜
17、97、1307、1407	Pウェル
18、98、1308、1408	P型MOSトランジスタのソース
19、99、1309、1409	P型MOSトランジスタのドレイン
112、912、1312、1412	Nウェル

113、114、115、64	フィールド酸化膜	211、212、213	薄い絶縁膜
膜		181、191、215、225	高濃度Pウェル
23	単結晶シリコン層	182、192、217、227	高濃度Nウェル

【図1】

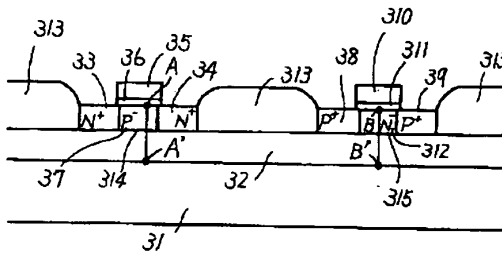


【図2】

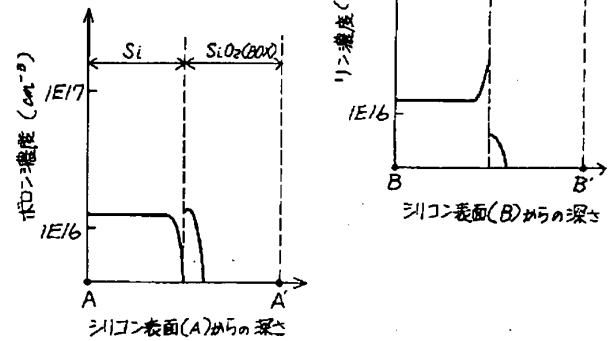


【図5】

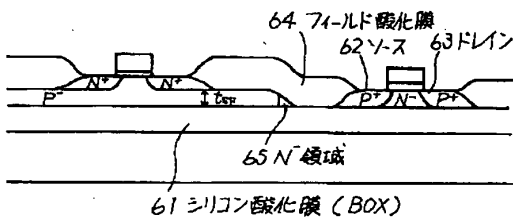
【図3】



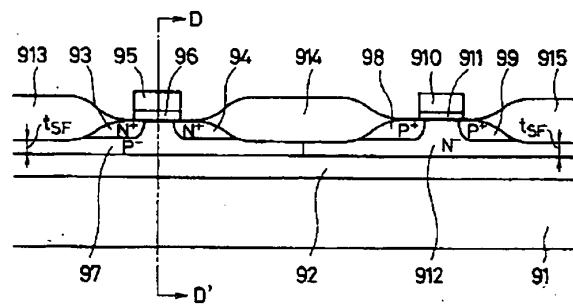
【図4】



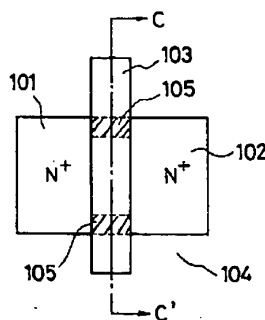
【図6】



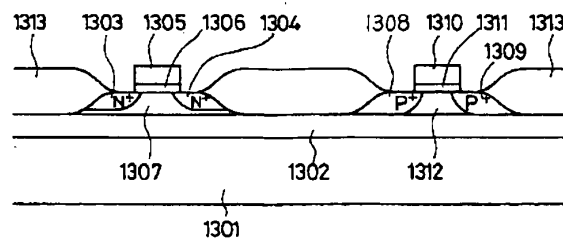
【図9】



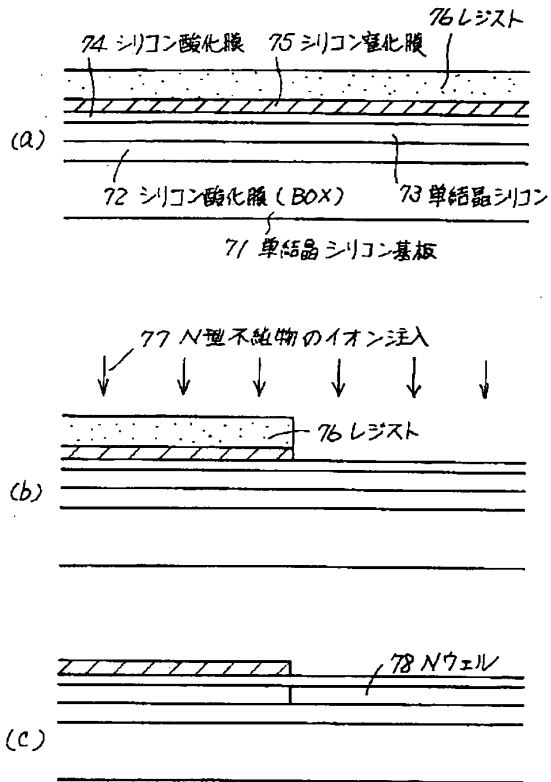
【図10】



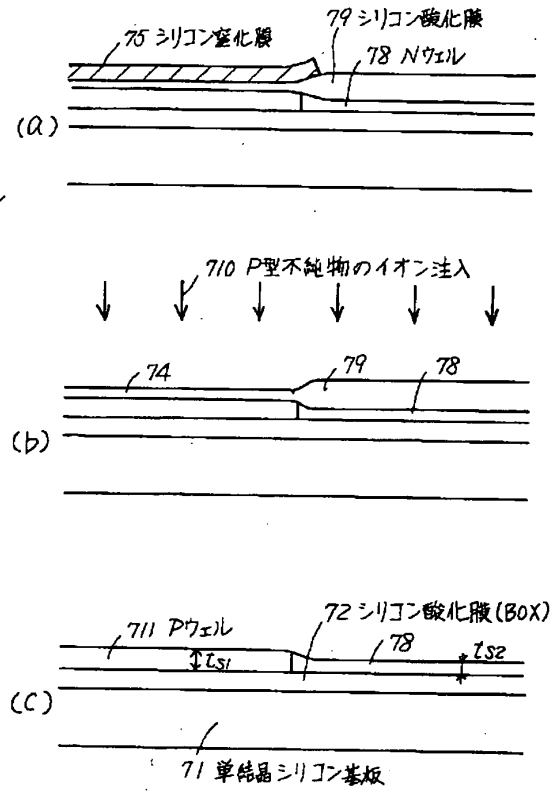
【図13】



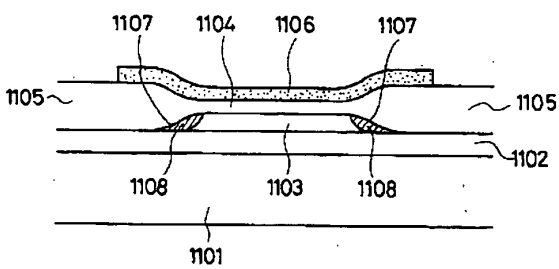
【図7】



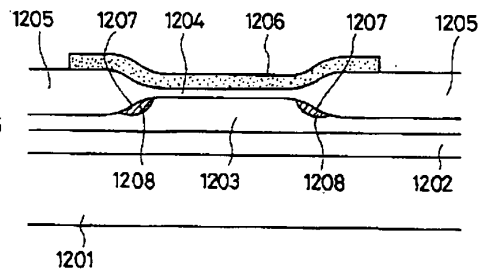
【図8】



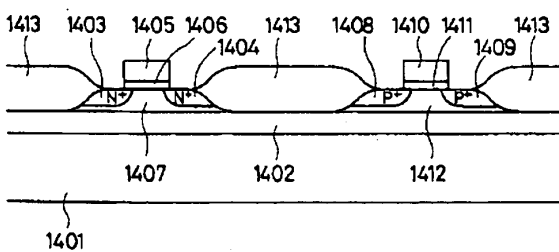
【図11】



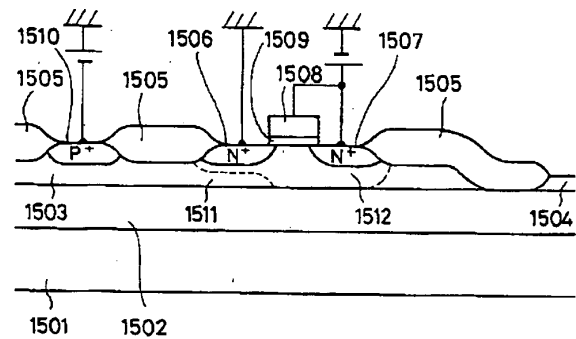
【図12】



【図14】



【図15】



[illegible]

A cross-sectional view of a semiconductor device. A substrate 201 is shown at the bottom. A layer 202 is on top of the substrate. The device includes regions 203, 204, 205, and 206. Region 203 is a p-type region (P-) with an n-type region (N+) on top. Region 204 is a p-type region (P-) with an n-type region (N+) on top. Region 205 is a p-type region (P-) with an n-type region (N+) on top. Region 206 is a p-type region (P-) with an n-type region (N-) on top. A gate structure 64 is shown on top of region 203. A contact 207 is shown on top of region 205.

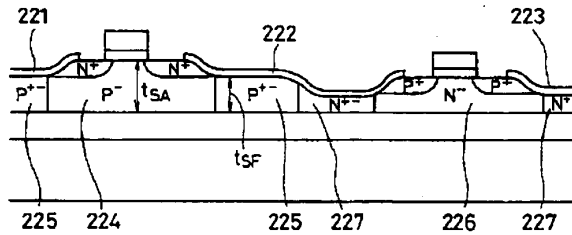
【図19】

Figure 19 is a cross-sectional diagram of a semiconductor device. It shows a substrate with regions labeled 191, 192, and 112. Above the substrate, there are regions labeled 113, 114, and 115. Doping regions are indicated by N+, P+, and N- labels. A central region is labeled 17. The diagram illustrates the spatial distribution of different semiconductor materials and their electrical properties.

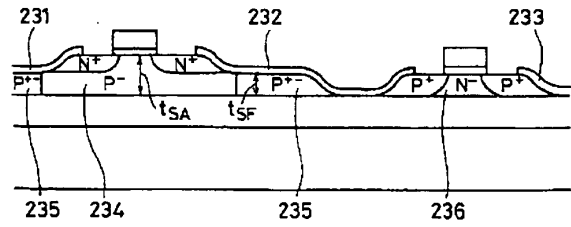
【図21】

Figure 21 is a cross-sectional view of a semiconductor device. The structure consists of a substrate 215 with a series of alternating P-type and N-type regions: P⁺, N⁺, P⁻, N⁺, P⁻, N⁺, P⁺, N⁻, and N⁺. A thin layer 211 is on the surface, and a thicker layer 212 is on top of it. A gate stack 213 is located on the surface. The thickness of the thin layer 211 is labeled t_{SF} , and the thickness of the thicker layer 212 is labeled t_{SA} . The substrate 215 is labeled at the bottom. The regions are labeled with their respective dopant types: P⁺, N⁺, P⁻, N⁺, P⁻, N⁺, P⁺, N⁻, and N⁺. The regions are also labeled with their respective thicknesses: t_{SF} and t_{SA} . The regions are also labeled with their respective dopant types: P⁺, N⁺, P⁻, N⁺, P⁻, N⁺, P⁺, N⁻, and N⁺. The regions are also labeled with their respective thicknesses: t_{SF} and t_{SA} .

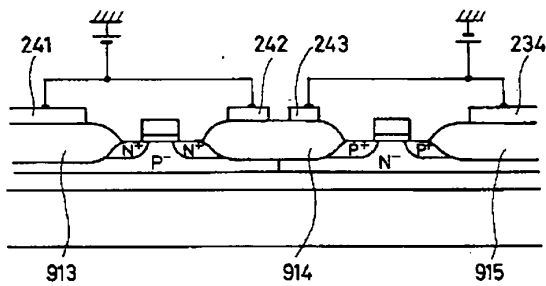
【図22】



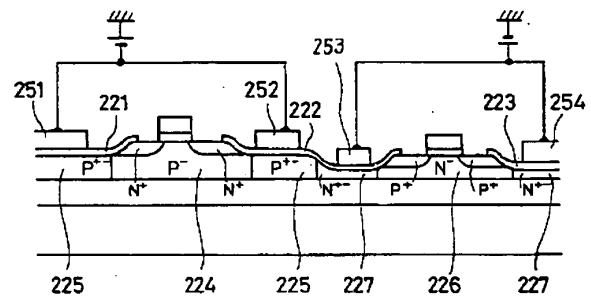
【図23】



【図24】



【図25】



フロントページの続き

(72)発明者 久原 健太郎
東京都江東区亀戸6丁目31番1号 セイコ
ー電子工業株式会社内
(72)発明者 小山内 潤
東京都江東区亀戸6丁目31番1号 セイコ
ー電子工業株式会社内

(72)発明者 中西 章滋
東京都江東区亀戸6丁目31番1号 セイコ
ー電子工業株式会社内
(72)発明者 石井 和敏
東京都江東区亀戸6丁目31番1号 セイコ
ー電子工業株式会社内